PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313996
(43)Date of publication of application : 25.10.2002

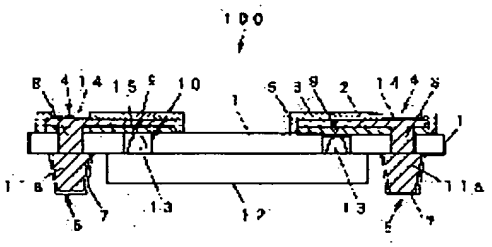
(51)Int.Cl. H01L 23/12
H01L 21/60
H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 2001-120254
(22)Date of filing : 18.04.2001

(71)Applicant : TOSHIBA CHEM CORP
(72)Inventor : TAKEYAMA YASUHIRO

(54) SUBSTRATE FOR SEMICONDUCTOR PACKAGE, AND ITS MANUFACTURING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a highly reliable semiconductor package where a load is not applied to a semiconductor chip at stacking by reducing the dispersion of the height of a bump.
SOLUTION: A copper-laminated plate 15, where the thickness of a copper foil 11 is selected optimally in consideration of the height requested for a bump 6, is prepared, and the copper foil 11 of this copper-laminated plate 15 is selectively removed thereby forming the bump 6. The bump 6 where height accuracy on approximately the same level as the copper foil 11 is obtained, and a highly reliable semiconductor package where a load is not applied to a semiconductor part 12 can be provided, and also the margin to be added at decision of the height of the bump can be reduced, and the package can be made thin as a whole.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]
[Date of extinction of right]

CLAIMS

[Claim(s)]
[Claim 1] The copper foil flare material which consists of copper foil of a base material and this base material stuck on the field on the other hand at least, It is formed by removing selectively the conductor pattern formed in the another side side of said base material of this copper foil flare material, and said copper foil of said copper foil flare material. The substrate for semiconductor packages characterized by providing two or more external connection terminals which projected rather than the height of the semi-conductor components which beer connection is made with said conductor pattern, and are carried in said base material.
[Claim 2] The substrate for semiconductor packages according to claim 1 which the external terminal of said semi-conductor component of said base material which has the hole attained to the conductor pattern of said base material formed in the another side side of said base material from the field on the other hand carried in a field on the other hand is inserted into said hole, and is characterized by said conductor pattern and connection being possible.
[Claim 3] The substrate for semiconductor packages according to claim 1 or 2 characterized by forming in the another side side of said base material the pad which joins the external connection terminal of other substrates for semiconductor packages.
[Claim 4] In the manufacture approach of the substrate for semiconductor packages of having two or more external connection terminals in the same field The copper foil flare material which consists of a base material and copper foil thicker than the semi-conductor components of this base material which are stuck on a field on the other hand at least, and are mounted is prepared. The manufacture approach of the substrate for semiconductor packages characterized by forming said two or more external connection terminals by removing selectively the copper foil of said copper foil flare material while forming a conductor pattern in the another side side of this copper foil flare material.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention relates to the substrate for semiconductor packages suitable for a three-dimensions laminating, and its manufacture approach.
[0002]
[Description of the Prior Art] In recent years, along with the miniaturization of electronic equipment, and multi-functionalization, high integration of semiconductor chips, such as LSI, progresses and increment in the number of terminals, ** pitch-ization between terminals, etc. are attained also in the gestalt of a semiconductor chip. Moreover, research of the FCB (Flip Chip Bonding) technique of mounting a semi-conductor bare chip in a substrate directly without a lead by one side is advanced.
[0003] By the way, the semiconductor package by the three-dimensions laminating will be needed from the conventional planar structure towards improvement in the further packaging density from now on. There are what carried out the laminating of the chip and was stored in one package, and a thing which carried out the laminating of two or more semiconductor packages in a three-dimensions stacked package.
[0004]
[Problem(s) to be Solved by the Invention] Some approaches of carrying out the laminating of the semiconductor package have the type which is proposed and which gets down and uses other components, such as a connector, the type which uses a bump, a type adapting the technique of TAB, etc.
[0005] It is divided into the type whose type of this also forms a bump in a package later, and the type which forms the bump in the substrate beforehand although it is thought that the approach of using a bump for corresponding to thin-shape-izing or the increment in the number of laminatings is advantageous securing the gap during a package.
[0006] By the way, in the approach of arranging a semiconductor chip in the space secured between the semiconductor packages of other layers with a bump's height, some loads [at least] which must win popularity by the bump essentially in a laminating semiconductor package with lack of the Bengbu thickness by a manufacture error etc. join a chip, and when the worst, there is a possibility that a crack may enter with the load at a chip. For this reason, on the occasion of the decision of bump height, sufficient margin in consideration of a manufacture error needed to be considered, and there was a problem that the thickness of the whole package will become large as a result.
[0007] This invention is made in view of such a situation, reduces the variation in a bump's height, and aims at offer of the reliable substrate for semiconductor packages with which a load does not join semi-conductor components, and its manufacture approach.
[0008]
[Means for Solving the Problem] The copper foil flare material which consists of copper foil of a base material and this base material stuck on the field on the other hand at least in order that invention of claim 1 may attain the above-mentioned object, It is formed by removing selectively the conductor pattern formed in the another side side of said base material of this copper foil

flare material, and said copper foil of said copper foil flare material. It is characterized by providing two or more external connection terminals which projected rather than the height of the semi-conductor components which beer connection is made with said conductor pattern, and are carried in said base material.

[0009] Since the external connection terminal with which a height precision almost equivalent to copper foil was guaranteed is obtained according to this invention, the reliable semiconductor package by which a load does not join semi-conductor components can be offered by selecting the thickness of copper foil the optimal so that these external connection terminals may project in the thickness direction rather than semi-conductor components. Moreover, since there are few margins with which the height of an external connection terminal should be seasoned in consideration of a manufacture error and they end, thickness of the whole package can be made thin.

[0010] In a semiconductor package according to claim 1, the external terminal of said semi-conductor component of said base material which has the hole attained from a field on the other hand to the conductor pattern of said base material formed in the another side side of said base material carried in a field on the other hand is inserted into said hole, and invention of claim 2 is characterized by said conductor pattern and connection being possible, in order to attain the above-mentioned object.

[0011] This invention is having such a configuration, and where a base material side is touched, it can carry semi-conductor components. Thereby, thickness of the whole package can be made still thinner.

[0012] Invention of claim 3 is characterized by forming in the another side side of said base material the pad which joins the external connection terminal of other substrates for semiconductor packages in the substrate for semiconductor packages according to claim 1 or 2.

[0013] According to this invention, since sufficient precision equivalent to copper foil as a height precision of an external connection terminal is guaranteed, when it multilayers, it can avoid that the load from the semiconductor package of other layers joins the semi-conductor components in a semiconductor package, and a reliable laminating semiconductor package can be offered. Moreover, since there are few margins with which the height of an external connection terminal should be seasoned in consideration of a manufacture error and they end, thickness of the whole laminating semiconductor package can be made thin.

[0014] In the manufacture approach of the substrate for semiconductor packages of having two or more external connection terminals in the same field in order that invention of claim 4 may attain the above-mentioned object The copper foil flare material which consists of a base material and copper foil thicker than the semi-conductor components of this base material which are stuck on a field on the other hand at least, and are mounted is prepared. While forming a conductor pattern in the another side side of this copper foil flare material, it is characterized by forming said two or more external connection terminals by removing selectively the copper foil of said copper foil flare material.

[0015] Since two or more external connection terminals with which a thickness precision equivalent to copper foil was guaranteed by removing the copper foil of copper foil flare material selectively can be obtained according to this invention By selecting the thickness of copper foil the optimal so that these external connection terminals may project in the thickness direction rather than semi-conductor components, the reliable semiconductor package by which a load does not join semi-conductor components can be offered. Moreover, since there are few margins with which the height of an external connection terminal should be seasoned in consideration of a manufacture error and they end, thickness of the whole package can be made thin.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.

[0017] Drawing 1 is the sectional view showing the configuration of the semiconductor package which is an example of a gestalt which carried out this invention.

[0018] As shown in this drawing, in the semiconductor package 100 of this operation gestalt, the conductor pattern which consists of copper foil 2 and a copper-plating layer 3 is prepared in the

1st principal plane (it is hereafter called a pattern side) of a base material 1, and the conductor pattern concerned is further covered with the insulating protective coat 5 which consists of a solder resist etc., removing the field of the package connection pad 4.
[0019] On the other hand, two or more bumps 6 who are the external connection terminals of a semiconductor package 100 are formed in the 2nd principal plane (it is hereafter called a bump side) used as the reverse side of said 1st principal plane of a base material 1. This bump 6 removes selectively the copper foil of a double-sided copper-clad sheet by etching etc., and comes to give surface treatment 7 by non-electrolyzed nickel substrate gilding or electrolysis solder plating etc. to the front face of bump base 11a which is the residual copper foil section. And this bump 6 is connected with the circuit pattern of a pattern side through beer 8.
[0020] Moreover, the chip connection pad 9 which connects the external connection terminal 13 of a semiconductor chip 12 is formed in this semiconductor package 100. This chip connection pad 9 comes to give surface treatment 15 by gilding which makes the nickel of no electrolyzing or electrolysis a substrate to the front face of the copper foil coat 2 which made the hole 10 for exposing the copper foil 2 of a pattern side, and was exposed through this hole 10 from the bump side side of a base material 1.
[0021] The manufacture procedure of the semiconductor package 100 of this operation gestalt is shown in drawing 2 .
[0022] First, the double-sided copper-clad sheet 15 with which the thickness of copper foil 11 was selected the optimal in consideration of the height required of a bump 6 is prepared (drawing 2 (a)). Here, as a double-sided copper-clad sheet 15, the double-sided copper-clad glass base material laminate for semi-conductor substrates or a double-sided copper-clad flexible plate is used, for example. As for a base material 1, it is desirable that it is that the thickness of whose is extent in which laser processing is possible, for example, its thing 0.05mm or less is desirable with 0.1mm or less and a flexible film at a glass base material laminate.
[0023] The hole 16 which arrives at the front face of the copper foil 11 of a bump side by laser beam machining etc. from the pattern side of this double-sided copper-clad sheet 15 is broken (drawing 2 (b)). After carrying out hole dawn of the copper foil 2 of a pattern side by etching at this time, hole dawn of the base material 1 may be carried out by laser.
[0024] Next, the copper-plating layer 3 is formed in a pattern side by plating processing, protecting a bump side completely by plating resist, after performing nonelectrolytic plating to a pattern side (drawing 2 (c)). Plating processing to this pattern side may be performed by whichever of panel plating and pattern plating. Under the present circumstances, the semiconductor package 100 suitable for laminatings has been obtained by filling up with this operation gestalt the hole 16 which was able to be made in the base material 1 by copper plating, forming beer 8, and carrying out flattening of the opening.
[0025] In addition, a conductor layer may be formed in the whole pattern side which replaces with nonelectrolytic plating the hole 16 which reaches the copper foil 11 of a bump side after an open beam, and includes the front face of a hole 16 by sputtering from a pattern side when an one side copper-clad sheet without copper foil is used for a pattern side.
[0026] Then, after exfoliating plating resist (not shown) of a bump side, a desired conductor pattern is formed in a pattern side by etching (drawing 2 (d)).
[0027] Next, except for the formation predetermined position of the package connection pad 4, the insulating protective coat 5 is formed by coating the required part of a pattern side with a solder resist etc. (drawing 2 (e)).
[0028] Then, where a pattern side is completely protected by etching resist, bump base 11a is formed by removing the copper foil 11 of a bump side selectively by etching (drawing 2 (f)). Then, half etching adjusts the height of bump base 11a if needed.
[0029] Next, as shown in drawing 1 , in order to form the chip connection pad 9, hole dawn of the applicable part of a base material 1 is carried out by laser processing from a bump side side, and surface 2a of the copper foil 2 of a pattern side is exposed (drawing 2 (g)).
[0030] Then, surface treatment based on each specification is performed in the formation schedule section of the front face of bump base 11a, and the package connection pad 4 and the chip connection pad 9. For example, surface preparation 15 by gilding which makes the nickel of

no electrolyzing or electrolysis a substrate is performed in the formation schedule section of the chip connection pad 9, and surface preparation 7 and 14 by gilding which makes non-electrolyzed nickel a substrate, or electrolysis solder plating is performed in the formation schedule section of the front face of bump base 11a, and the package connection pad 4. In addition, what is necessary is just to perform the next processing, where the field processed previously is protected by masking material when different surface treatment in this way is adopted.

[0031] Then, the substrate for semiconductor packages is completed through appearance processing and various inspection. The semiconductor package 100 which connected the external connection terminal 13 of a semiconductor chip 12 to the chip connection pad 9 of this substrate for semiconductor packages, and was shown in drawing 1 is completed.

[0032] As shown in drawing 3 , two or more laminatings are carried out, it constitutes as one laminating semiconductor package 200, and the semiconductor package 100 of this operation gestalt can be provided. Since a bump's 6 height is larger than the thickness of a semiconductor chip 12, a bump 6 functions as a spacer which guarantees the clearance between the semiconductor chip 12 of each semiconductor package 100, and the semiconductor package [directly under] 100 of it while making flow connection of the up-and-down semiconductor package 100.

[0033] The bump 6 in the semiconductor package 100 of this operation gestalt is formed by removing selectively the copper foil 11 of double-sided copper flare material by etching. For this reason, the bump 6 to whom a height precision almost equivalent to the thickness precision of copper foil 11 was guaranteed is obtained. Thus, by guaranteeing a bump's 6 sufficient height precision, the margin which should be considered on the occasion of the decision of a bump's 6 height dimension can be lessened, and the whole package can be made thin.

[0034]

[Example] Next, the example of this invention is explained.

[0035] The polyimide flexible double-sided copper-clad sheet with a thickness of 18 micrometers which attached copper foil with a thickness of 70 micrometers to the bump with a thickness of 0.025mm side side of a base material, and attached copper foil with a thickness of 12 micrometers to the pattern side side was prepared, opening with a diameter of 0.1mm was broken by etching in the copper foil by the side of the pattern side of this double-sided copper-clad sheet, and the non-through hole which arrives at the front face of the copper foil by the side of a bump side by carbon dioxide laser by using this opening as a mask was formed.

[0036] Next, dry film plating resist was laminated in the whole bump side, and the plating layer with a thickness of 20 micrometers was formed in the pattern side by copper panel plating, it doubled with it, and thickness of the plating layer of a pattern side was made thin even to 10 micrometers for the non-through hole by half etching after restoration by copper plating.

[0037] Then, the resist of a bump side was removed, dry film etching resist was laminated to both sides, while exposing the resist of a bump side completely, the resist by the side of a pattern side was exposed selectively, and the predetermined conductor pattern was formed in the pattern side by etching.

[0038] Then, etching resist was removed, and the solder resist for insulation protection was covered into the required part on the conductor pattern formed in the pattern side, then dry film etching resist was laminated to both sides, etching removed selectively the copper foil of after complete exposure and a bump side for the pattern side, and the bump was formed.

[0039] next, the conductor of both sides which serve as a bump's front face, and a chip connection pad and a package connection pad after breaking a hole in a base material by carbon dioxide laser from a bump side side and exposing the rear face of the copper foil by the side of a pattern side, in order to form a chip connection pad -- non-electrolyzed nickel-gilding was given to the exposed surface.

[0040] Finally appearance processing was performed and the substrate for semiconductor packages of a predetermined configuration was completed. When the variation in the bump height of the substrate for semiconductor packages obtained in the above-mentioned example was measured, variation was settled in the range of **7 micrometers which is a precision almost equivalent to the copper foil of a raw material. Moreover, as for the thickness of the whole

copper-clad substrate, the height between 130**15 micrometers, a bump, and a pattern side pad was also settled in the range of 120**15 micrometers.
[0041] And when the semi-conductor flip chip with a thickness of 50 micrometers which has a golden bump with a height of 35 micrometers was connected to this substrate for semiconductor packages using anisotropy conductive paste, it has checked that a semi-conductor flip chip was settled in bump height.
[0042] Furthermore, when two or more laminatings of the semiconductor package obtained by doing in this way were carried out using anisotropy conductive paste, about 10-micrometer gap could be secured between a semiconductor chip and the semiconductor package [directly under] of it, and generating of the crack of a semiconductor chip was not discovered, either.
[0043]
[Effect of the Invention] Since sufficient precision equivalent to copper foil as a height precision of an external connection terminal is guaranteed according to this invention as explained above, the reliable substrate for semiconductor packages with which a load does not join semi-conductor components, and a laminating semiconductor package can be offered by selecting the thickness of copper foil the optimal so that these external connection terminals may project in the thickness direction rather than semi-conductor components. Moreover, since there are few margins with which the height of an external connection terminal should be seasoned in consideration of a manufacture error and they end, thickness of the whole package can be made thin.

[Translation done.]

* NOTICES *

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is the sectional view showing the configuration of the semiconductor package which is the operation gestalt of this invention.
[Drawing 2] It is the sectional view showing the manufacture procedure of the semiconductor package of drawing 1 .
[Drawing 3] It is the sectional view showing the configuration of the laminating semiconductor package using the semiconductor package of drawing 1 .
[Description of Notations]
1 Base Material
2 Copper Foil
3 Copper-Plating Layer
4 Package Connection Pad
5 Insulating Protective Coat
6 Bump
8 Beer
9 Chip Connection Pad
11 Copper Foil
12 Semiconductor Chip
13 External Connection Terminal of Semiconductor Chip
15 Double-sided Copper-clad Sheet
16 Hole
100 Semiconductor Package
200 Laminating Semiconductor Package

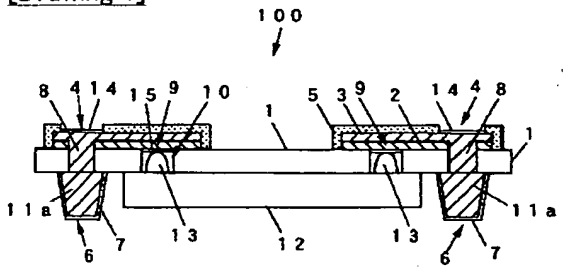
[Translation done.]

* NOTICES *

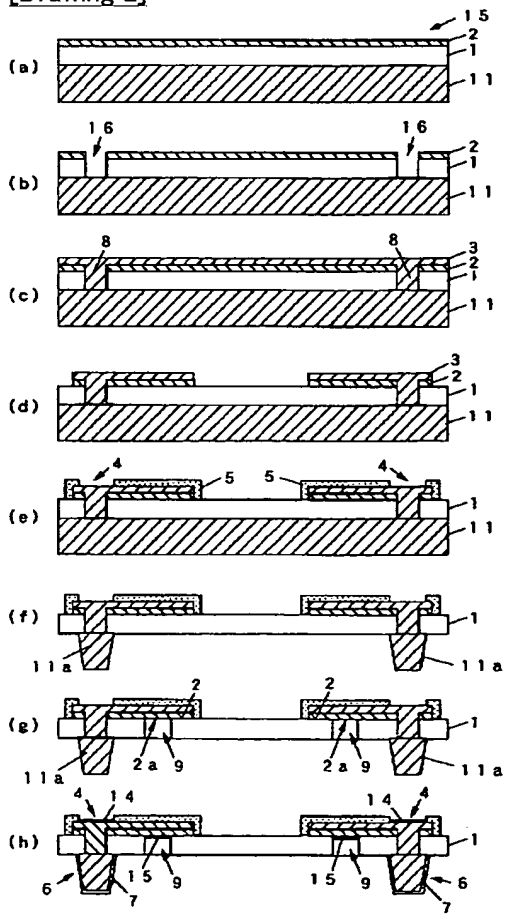
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DRAWINGS

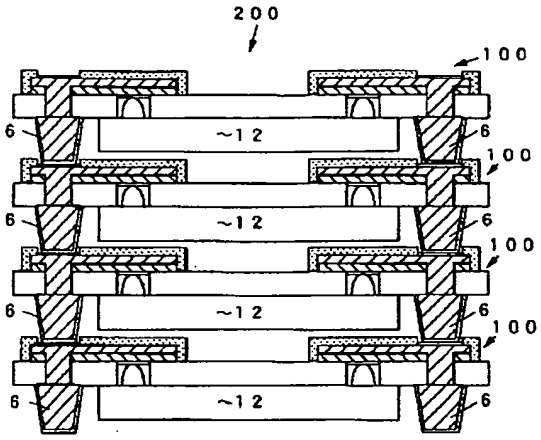
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－313996
（P2002－313996A）
(43)公開日　平成14年10月25日(2002.10.25)

(51)Int.Cl.⁷		識別記号	FI		テーマコード（参考）
H01L	23/12	501	H01L	23/12	501T
	21/60			21/92	604Q
	25/065			25/08	Z
	25/07				
	25/18				

審査請求　未請求　請求項の数４　ＯＬ　（全 5 頁）

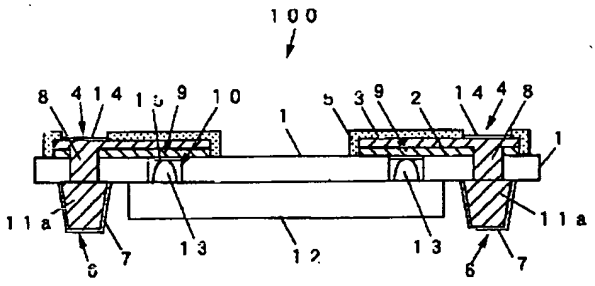
(21)出願番号　特願2001－120254(P2001－120254)

(22)出願日　平成13年４月18日(2001.4.18)

(71)出願人　390022415
東芝ケミカル株式会社
東京都港区新橋３丁目３番９号
(72)発明者　竹山　保博
埼玉県川口市領家５丁目14番25号　東芝ケミカル株式会社川口工場内
(74)代理人　100077849
弁理士　須山　佐一

(54)【発明の名称】　半導体パッケージ用基板およびその製造方法

(57)【要約】
【課題】　バンプの高さのバラツキを低減して、積層時に半導体チップに負荷が加わることのない信頼性の高い半導体パッケージを提供する。
【解決手段】　バンプ６に要求される高さを考慮して銅箔１１の厚みを最適に選定した銅張り板１５を用意し、この銅張り板１５の銅箔１１を選択的に除去することによってバンプ６を形成する。これにより銅箔１１とほぼ同等の高さ精度が保証されたバンプ６が得られ、半導体部品１２に負荷が加わることのない信頼性の高い半導体パッケージを提供できるとともに、バンプ高さの決定に際し加味すべきマージンを低減でき、パッケージ全体を薄くすることができる。



【特許請求の範囲】
【請求項１】　基材とこの基材の少なくとも一方面に張りつけられた銅箔とからなる銅箔張り材と、
この銅箔張り材の前記基材の他方面に形成された導体パターンと、
前記銅箔張り材の前記銅箔を選択的に除去することによって形成され、前記導体パターンとビア接続され、かつ前記基材に搭載される半導体部品の高さよりも突出した複数の外部接続端子とを具備することを特徴とする半導体パッケージ用基板。
【請求項２】　前記基材の一方面から前記基材の他方面に形成された導体パターンへ達する穴を有する、前記基材の一方面に搭載される前記半導体部品の外部端子が前記穴内に挿入され前記導体パターンと接続可能なことを特徴とする請求項１記載の半導体パッケージ用基板。
【請求項３】　前記基材の他方面に、他の半導体パッケージ用基板の外部接続端子を接合するパッドが形成されていることを特徴とする請求項１または２記載の半導体パッケージ用基板。
【請求項４】　複数の外部接続端子を同一面に有する半導体パッケージ用基板の製造方法において、
基材と、この基材の少なくとも一方面に張りつけられ、実装される半導体部品よりも厚い銅箔とからなる銅箔張り材を用意し、この銅箔張り材の他方面に導体パターンを形成する一方、前記銅箔張り材の銅箔を選択的に除去することによって前記複数の外部接続端子を形成することを特徴とする半導体パッケージ用基板の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、三次元積層に適した半導体パッケージ用基板とその製造方法に関する。
【０００２】
【従来の技術】近年、電子機器の小型化、多機能化につれ、ＬＳＩ等の半導体チップの高集積化が進み、半導体チップの形態においても端子数の増加および端子間の狭ピッチ化等が図られている。また一方で、半導体ベアチップをリードを介さず基板に直接実装するＦＣＢ(Flip Chip Bonding) 技術の研究が進められている。
【０００３】ところで、今後更なる実装密度の向上に向け、従来の平面構造から三次元積層による半導体パッケージが必要となる。三次元積層パッケージには、チップを積層して一つのパッケージに収めたものと、複数の半導体パッケージを積層したものとがある。
【０００４】
【発明が解決しようとする課題】半導体パッケージを積層する方法はいくつか提案されているおり、コネクタなどの他の部品を使用するタイプ、バンプを使用するタイプ、ＴＡＢの技術を応用するタイプなどがある。
【０００５】パッケージ間の間隙を確保しながら、薄型化や積層数の増加に対応するにはバンプを使用する方法が有利と考えられるが、このタイプもパッケージへバンプを後から形成するタイプとあらかじめ基板にバンプを形成しておくタイプに分けられる。
【０００６】ところで、バンプの高さによって他層の半導体パッケージとの間において確保される空間内に半導体チップを配置する方法においては、製造誤差等によるバンプ厚の不足によって、積層半導体パッケージにおいて本来バンプで受けなければならない負荷の少なくとも一部がチップに加わり、最悪の場合、その負荷によってチップにクラックが入るおそれがある。このため、バンプ高さの決定に際して、製造誤差を考慮した十分なマージンを加味する必要があり、結果的にパッケージ全体の厚みが大きくなってしまうという問題があった。
【０００７】本発明は、このような事情を鑑みてなされたものであり、バンプの高さのバラツキを低減して、半導体部品に負荷が加わることのない信頼性の高い半導体パッケージ用基板およびその製造方法の提供を目的とする。
【０００８】
【課題を解決するための手段】請求項１の発明は、上記目的を達成するために、基材とこの基材の少なくとも一方面に張りつけられた銅箔とからなる銅箔張り材と、この銅箔張り材の前記基材の他方面に形成された導体パターンと、前記銅箔張り材の前記銅箔を選択的に除去することによって形成され、前記導体パターンとビア接続され、かつ前記基材に搭載される半導体部品の高さよりも突出した複数の外部接続端子とを具備することを特徴とする。
【０００９】本発明によれば、銅箔とほぼ同等の高さ精度が保証された外部接続端子が得られるので、これらの外部接続端子が半導体部品よりも厚み方向にて突出するように銅箔の厚みを最適に選定しておくことによって、半導体部品に負荷の加わらない、信頼性の高い半導体パッケージを提供することができる。また、製造誤差を考慮して外部接続端子の高さに加味すべきマージンが少なくて済むことから、パッケージ全体の厚みを薄くすることができる。
【００１０】請求項２の発明は、上記目的を達成するために、請求項１記載の半導体パッケージにおいて、前記基材の一方面から前記基材の他方面に形成された導体パターンへ達する穴を有する、前記基材の一方面に搭載される前記半導体部品の外部端子が前記穴内に挿入され前記導体パターンと接続可能なことを特徴とする。
【００１１】本発明はこのような構成を持つことで、半導体部品を基材面に接した状態で搭載できる。これにより、パッケージ全体の厚みをさらに薄くすることができる。
【００１２】請求項３の発明は、請求項１または２記載の半導体パッケージ用基板において、前記基材の他方面に、他の半導体パッケージ用基板の外部接続端子を接合

するパッドが形成されていることを特徴とするものである。

【0013】この発明によれば、外部接続端子の高さ精度として銅箔と同等の十分な精度が保証されるので、多層化した場合、半導体パッケージ内の半導体部品に他層の半導体パッケージからの負荷が加わることを回避することができ、信頼性の高い積層半導体パッケージを提供することができる。また、製造誤差を考慮して外部接続端子の高さに加味すべきマージンが少なくて済むことから、積層半導体パッケージ全体の厚みを薄くすることができる。

【0014】請求項4の発明は、上記目的を達成するために、複数の外部接続端子を同一面に有する半導体パッケージ用基板の製造方法において、基材と、この基材の少なくとも一方面に張りつけられ、実装される半導体部品よりも厚い銅箔とからなる銅箔張り材を用意し、この銅箔張り材の他方面に導体パターンを形成する一方、前記銅箔張り材の銅箔を選択的に除去することによって前記複数の外部接続端子を形成することを特徴とする。

【0015】本発明によれば、銅箔張り材の銅箔を選択的に除去することによって、銅箔と同等の厚み精度が保証された複数の外部接続端子を得ることができるので、これらの外部接続端子が半導体部品よりも厚み方向に突出するように銅箔の厚みを最適に選定しておくことによって、半導体部品に負荷の加わらない、信頼性の高い半導体パッケージを提供することができる。また、製造誤差を考慮して外部接続端子の高さに加味すべきマージンが少なくて済むことから、パッケージ全体の厚みを薄くすることができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づき説明する。

【0017】図1は、本発明を実施した形態の一例である半導体パッケージの構成を示す断面図である。

【0018】同図に示すように、本実施形態の半導体パッケージ100において、基材1の第1の主面（以下、パターン面と呼ぶ）には、銅箔2と銅めっき層3とからなる導体パターンが設けられており、さらに当該導体パターンは、パッケージ接続パッド4の領域を除き、たとえばソルダーレジスト等からなる絶縁保護膜5によって覆われている。

【0019】一方、基材1の、前記第1の主面の反対面となる第2の主面（以下、バンプ面と呼ぶ）には、半導体パッケージ100の外部接続端子であるバンプ6が複数設けられている。このバンプ6は、両面銅張り板の銅箔をエッチングなどにより選択的に除去し、残存銅箔部であるバンプ基体11aの表面に、たとえば、無電解のニッケル下地金めっき、もしくは電解半田めっきなどによる表面処理7を施してなるものである。そして、このバンプ6はビア8を通じてパターン面の回路パターンと接続されている。

【0020】また、この半導体パッケージ100には、半導体チップ12の外部接続端子13を接続するチップ接続パッド9が設けられている。このチップ接続パッド9は、基材1のバンプ面側から、パターン面の銅箔2を露出させるための穴10を開け、この穴10を通じて露出した銅箔層2の表面に、無電解または電解のニッケルを下地とする金めっきによる表面処理15を施してなるものである。

【0021】図2に、本実施形態の半導体パッケージ100の製造手順を示す。

【0022】まず、バンプ6に要求される高さを考慮して銅箔11の厚みが最適に選定された両面銅張り板15を用意する（図2（a））。ここで、両面銅張り板15としては、たとえば、半導体サブストレート用の両面銅張りガラス基材積層板または両面銅張りフレキシブル板などが用いられる。基材1は、その厚みがレーザー加工可能な程度のものであることが好ましく、たとえば、ガラス基材積層板で0．1mm以下、フレキシブルフィルムで0．05mm以下のものが好ましい。

【0023】この両面銅張り板15のパターン面よりレーザー加工等によってバンプ面の銅箔11の表面に達する穴16を明ける（図2（b））。このとき、パターン面の銅箔2をエッチングによって穴明けした後で、基材1をレーザーで穴明けしてもよい。

【0024】次に、パターン面に無電解めっきを施した後、バンプ面をめっきレジストによって全面保護しつつ、パターン面にめっき処理によって銅めっき層3を形成する（図2（c））。このパターン面へのめっき処理はパネルめっき、パターンめっきのどちらで行ってもよい。この際、本実施形態では、基材1に開けられた穴16を銅めっきにより充填してビア8を形成し、開口部を平坦化することによって、積層用に適した半導体パッケージ100を得ている。

【0025】なお、パターン面に銅箔のない片面銅張り板を用いた場合は、パターン面よりバンプ面の銅箔11に達する穴16を開けた後に、無電解めっきに代えてスパッタリングにより穴16の表面を含むパターン面全体に導体層を形成しても構わない。

【0026】続いて、バンプ面のめっきレジスト（図示せず）を剥離した後、エッチングによりパターン面に所望の導体パターンを形成する（図2（d））。

【0027】次に、パッケージ接続パッド4の形成予定位置を除き、パターン面の必要な部分に、たとえばソルダーレジスト等をコーティングすることにより絶縁保護膜5を形成する（図2（e））。

【0028】この後、パターン面をエッチングレジストで全面保護した状態で、バンプ面の銅箔11をエッチングによって選択的に除去することによってバンプ基体11aを形成する（図2（f））。この後、必要に応じ

て、ハーフエッチングによってバンプ基体１１ａの高さを調整する。

【００２９】次に、図１に示したように、チップ接続パッド９を形成するために、基材１の該当部分をバンプ面側からレーザー加工によって穴明けしてパターン面の銅箔２の表面２ａを露出させる（図２（ｇ））。

【００３０】続いて、バンプ基体１１ａの表面と、パッケージ接続パッド４およびチップ接続パッド９の形成予定部に、各々の仕様に準拠した表面処理を行う。たとえば、チップ接続パッド９の形成予定部には無電解または電解のニッケルを下地とする金めっきによる表面処理１５が行われ、バンプ基体１１ａの表面とパッケージ接続パッド４の形成予定部には無電解のニッケルを下地とする金めっき、もしくは電解半田めっきによる表面処理７、１４が行われる。なお、このように異なる表面処理を採用した場合、先に処理した面をマスキング材で保護した状態で次の処理を行えばよい。

【００３１】その後、外形加工、各種検査を経て、半導体パッケージ用基板が完成する。この半導体パッケージ用基板のチップ接続パッド９に半導体チップ１２の外部接続端子１３を接続して図１に示した半導体パッケージ１００が完成する。

【００３２】図３に示すように、本実施形態の半導体パッケージ１００は、複数積層して一つの積層半導体パッケージ２００として構成し提供することが可能である。バンプ６の高さは半導体チップ１２の厚みより大きいので、バンプ６は上下の半導体パッケージ１００どうしを導通接続するとともに、各々の半導体パッケージ１００の半導体チップ１２とその直下の半導体パッケージ１００との間の隙間を保証するスペーサとして機能する。

【００３３】本実施形態の半導体パッケージ１００におけるバンプ６は、両面銅張り材の銅箔１１をエッチングにより選択的に除去することによって形成される。このため、銅箔１１の厚み精度とほぼ同等の高さ精度が保証されたバンプ６が得られる。このようにバンプ６の十分な高さ精度が保証されることによって、バンプ６の高さ寸法の決定に際し加味すべきマージンを少なくすることができ、パッケージ全体を薄くすることができる。

【００３４】

【実施例】次に、本発明の実施例を説明する。

【００３５】厚さ０．０２５ｍｍの基材のバンプ面側に厚さ７０μｍの銅箔を、パターン面側に厚さ１２μｍの銅箔をつけた厚さ１８μｍのポリイミドフレキシブル両面銅張り板を用意し、この両面銅張り板のパターン面側の銅箔に直径０．１ｍｍの開口をエッチングによって明け、この開口をマスクとして炭酸ガスレーザーによって、バンプ面側の銅箔の表面に達する非貫通穴を形成した。

【００３６】次に、バンプ面全体にドライフィルムめっきレジストをラミネートし、パターン面に銅パネルめっきにより厚さ２０μｍのめっき層を形成し、合せて非貫通穴を銅めっきで充填後、ハーフエッチングによってパターン面のめっき層の厚さを１０μｍにまで薄くした。

【００３７】この後、バンプ面のレジストを剥がし、両面にドライフィルムエッチングレジストをラミネートし、バンプ面のレジストを全面露光するとともにパターン面側のレジストを選択的に露光し、エッチングによってパターン面に所定の導体パターンを形成した。

【００３８】続いて、エッチングレジストを剥がし、パターン面に形成された導体パターン上の必要な部分に絶縁保護のためのソルダーレジストを被覆し、続いて、両面にドライフィルムエッチングレジストをラミネートし、パターン面を全面露光後、バンプ面の銅箔をエッチングによって選択的に除去してバンプを形成した。

【００３９】次に、チップ接続パッドを形成するため、バンプ面側から炭酸ガスレーザーによって基材に穴を明けてパターン面側の銅箔の裏面を露出させた後、バンプの表面と、チップ接続パッドおよびパッケージ接続パッドとなる両面の導体露出面に無電解ニッケル－金めっきを施した。

【００４０】最後に外形加工を行って、所定形状の半導体パッケージ用基板を完成させた。上記実施例で得られた半導体パッケージ用基板のバンプ高さのバラツキを測定したところ、バラツキは原材料の銅箔とほぼ同等の精度である±７μｍの範囲に収まっていた。また、銅張り基板全体の厚さは１３０±１５μｍ、バンプとパターン面パッドとの間の高さも１２０±１５μｍの範囲に収まっていた。

【００４１】そして、この半導体パッケージ用基板に、高さ３５μｍの金バンプを有する厚さ５０μｍの半導体フリップチップを異方性導電ペーストを用いて接続したところ、バンプ高さ内に半導体フリップチップが収まることを確認できた。

【００４２】さらに、このようにして得られた半導体パッケージを異方性導電ペーストを用いて複数積層したところ、半導体チップとその直下の半導体パッケージとの間には約１０μｍの間隙を確保でき、半導体チップのクラックの発生も発見されなかった。

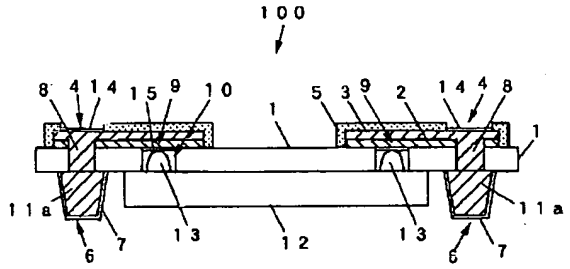
【００４３】

【発明の効果】以上説明したように、本発明によれば、外部接続端子の高さ精度として銅箔と同等の十分な精度が保証されるので、これらの外部接続端子が半導体部品よりも厚み方向にて突出するように銅箔の厚みを最適に選定しておくことによって、半導体部品に負荷の加わらない、信頼性の高い半導体パッケージ用基板および積層半導体パッケージを提供することができる。また、製造誤差を考慮して外部接続端子の高さに加味すべきマージンが少なくて済むことから、パッケージ全体の厚みを薄くすることができる。

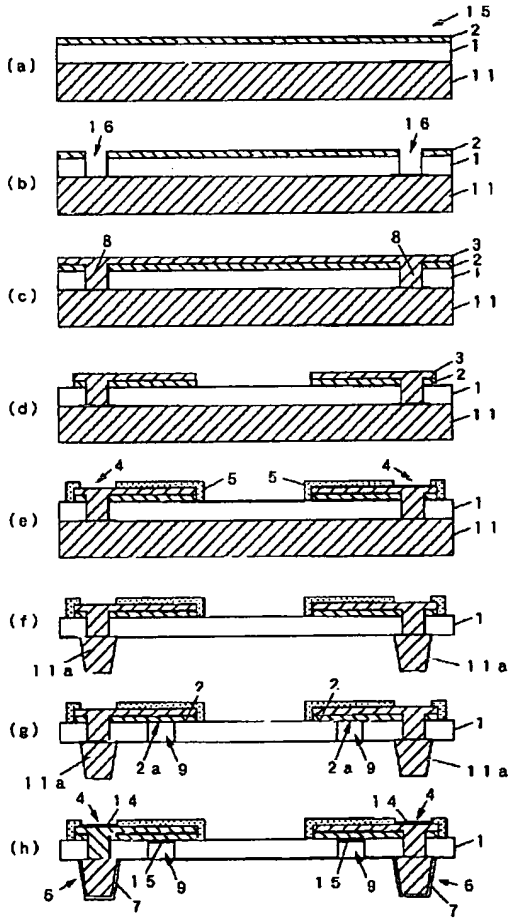
【図面の簡単な説明】

【図１】本発明の実施形態である半導体パッケージの構成を示す断面図である。
【図２】図１の半導体パッケージの製造手順を示す断面図である。
【図３】図１の半導体パッケージを用いた積層半導体パッケージの構成を示す断面図である。
【符号の説明】
１　基材
２　銅箔
３　銅めっき層
４　パッケージ接続パッド
５　絶縁保護膜
６　バンプ
８　ビア
９　チップ接続パッド
１１　銅箔
１２　半導体チップ
１３　半導体チップの外部接続端子
１５　両面銅張り板
１６　穴
１００　半導体パッケージ
２００　積層半導体パッケージ

【図１】



【図２】



【図３】